



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06068246 A**(43) Date of publication of application: **11 . 03 . 94**

(51) Int. Cl

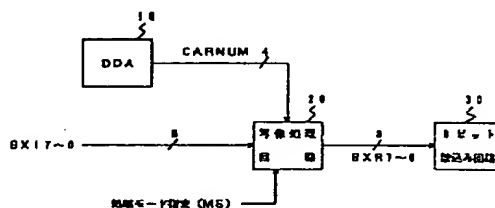
**G06F 15/66****G06F 3/153****G09G 5/36****H04N 1/393**(21) Application number: **04224127**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **24 . 08 . 92**(72) Inventor: **KAJIWARA SHIGEHIRO**(54) **BINARY IMAGE EXPANDING/REDUCING DEVICE**

## (57) Abstract:

**PURPOSE:** To make it possible to obtain input  $n$  dots by a cycle at the time of reducing and output  $n$  dots by a cycle at the time of expanding by using a one-system DDA(digital differential analyzer), regarding a device performing the batch processing of the expansion/reduction of binary image by  $n$ -dot unit in a main scanning direction.

**CONSTITUTION:** This device is provided with a DDA 10 generating and outputting a signal (CARNUM) showing a dot number (a) necessary to obtain output  $n$  dots at the time of expanding and an output dot number (a) which is obtained from input  $n$  dots at the time of reducing and a mapping processing circuit 20 performing the mapping of  $a:n$  at the time of an expanding processing mode and the mapping of  $n:a$  at the time of a reduction processing mode in accordance with the output (CARNUM) of this DDA 10 and performing the expanding/reducing of  $n$  dot at one time, to perform the batch processing of binary image data to be the object of expanding/reducing processings by  $n$  dots in the scanning direction.

COPYRIGHT: (C)1994,JPO&amp;Japio



1/5/1

DIALOG(R) File 351:DERWENT WPI

(c) 2000 Derwent Info Ltd. All rts. reserv.

009841769 \*\*Image available\*\*

WPI Acc No: 1994-121625/199415

XRPX Acc No: N94-095242

Two-value image expansion and reduction device for facsimile or  
electronic filing - has digital differential analyser by which input N  
dots are obtained in one cycle in reduction, and output N dots are  
obtained in one cycle in expansion NoAbstract

Patent Assignee: TOSHIBA KK (TOKE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 6068246	A	19940311	JP 92224127	A	19920824	199415 B

Priority Applications (No Type Date): JP 92224127 A 19920824

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 6068246	A		10	G06F-015/66	

Abstract (Basic): JP 6068246 A

Dwg.1/13

Title Terms: TWO; VALUE; IMAGE; EXPAND; REDUCE; DEVICE; FACSIMILE;  
ELECTRONIC; FILE; DIGITAL; DIFFERENTIAL; ANALYSE; INPUT; N; DOT; OBTAIN;  
ONE; CYCLE; REDUCE; OUTPUT; N; DOT; OBTAIN; ONE; CYCLE; EXPAND;  
NOABSTRACT

Derwent Class: P85; T01; W02

International Patent Class (Main): G06F-015/66

International Patent Class (Additional): G06F-003/153; G09G-005/36;

H04N-001/393

File Segment: EPI; EngPI

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-68246

(43)公開日 平成6年(1994)3月11日

(51)Int.Cl. <sup>3</sup>	識別記号	庁内整理番号	FI	技術表示箇所
G 0 6 F 15/66	3 5 5 C	8420-5L		
3/153	3 2 0 H	7165-5B		
G 0 9 G 5/36		9177-5G		
H 0 4 N 1/393		4226-5C		

審査請求 未請求 請求項の数2(全 10 頁)

(21)出願番号 特願平4-224127

(22)出願日 平成4年(1992)8月24日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 梶原 茂弘

東京都青梅市末広町2丁目9番地 株式会

社東芝青梅工場内

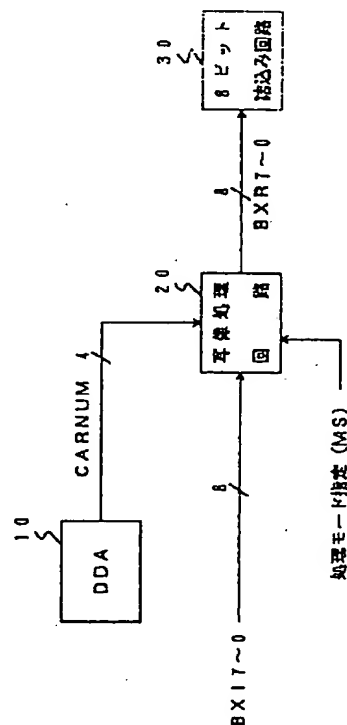
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 二値イメージ拡大縮小装置

(57)【要約】

【目的】本発明は、二値イメージの拡大・縮小を主走査方向にnドット単位で一括処理するもので、1系統のDDAを用い、縮小時に入力nドットを1サイクルで、拡大時に出力nドットを1サイクルで得ることを特徴とする。

【構成】拡大・縮小処理の対象となる二値イメージデータを走査方向にnドットずつまとめて処理を行なうため、拡大時は出力nドットを得るのに必要なドット数a、縮小時は入力nドットから得られる出力ドット数aを示す信号(CARNUM)を生成し出力するDDA10と、このDDA10の出力(CARNUM)に従い、拡大処理モード時はa:n、縮小処理モード時はn:aの写像を行ない、拡大・縮小をnドット一度に処理する写像処理回路20とを具備してなることを特徴とする。



## 【特許請求の範囲】

【請求項 1】 処理対象となる二値イメージデータを  $n$  ドット単位で拡大縮小処理する装置であって、拡大時に出力  $n$  ドットを得るのに必要なドット数  $a$  を算出し、縮小時に入力  $n$  ドットから得られる出力ドット数  $a$  を算出する手段と、拡大時に  $a : n$  の写像処理を行ない、縮小時に  $n : a$  の写像処理を行なう手段とを具備してなることを特徴とする二値イメージ拡大縮小装置。

【請求項 2】 二値イメージの拡大・縮小を主走査方向に  $n$  ドット単位で一括処理する装置であって、

入力画像の主走査方向のドット数を  $M$ 、出力画像の主走査方向のドット数を  $N$  としたとき、拡大時のスケール値を  $M/N$ 、縮小時のスケール値を  $N/M$  として、上記スケール値を  $n$  倍した整数部の値を上位スケール値として保持する第 1 の保持手段と、

上記スケール値を  $n$  倍した少数部の値を下位スケール値として保持する第 2 の保持手段と、

上記第 2 の保持手段に保持された下位スケール値を累積加算する第 1 の加算手段と、上記第 1 の加算結果値を保持する第 3 の保持手段と、

上記第 1 の保持手段に保持された上位スケール値と上記第 1 の加算手段の桁あふれを加算する第 2 の加算手段と、

上記第 2 の加算手段の結果値を累積加算する第 3 の加算手段と、

上記第 2 の加算手段の結果値に相当するドット数を入力ドット  $n$  から選択し縮小処理する第 1 の写像手段と、

上記第 2 の加算手段の結果値に相当する入力ドットを出力ドット  $n$  に拡大処理する第 2 の写像手段と、縮小処理時に上記第 1 の写像手段の出力を選択し、拡大処理時に上記第 2 の写像手段の出力を選択する手段とを具備し、二値イメージの拡大時は  $n$  ドット単位で出力データを得、縮小時は  $n$  ドットの入力を一度に縮小処理することを特徴とする二値イメージ処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は二値イメージを扱う、例えばファクシミリ装置、電子ファイリング装置等に於いて、イメージの拡大・縮小、密度変換等の処理を行なう処理機能部に適用される二値イメージ処理装置に関する。

## 【0002】

【従来の技術】 二値イメージの拡大・縮小処理に於いて、任意倍数の拡大・縮小処理を行なう際、図 10 に示す DDA (Digital Differential Analyzer) を用い、そのキャリー (CARRY) 出力を利用する。

【0003】 例えば間引き縮小処理の場合は、入力 1 ドットにつき DDA を 1 回動作させ、図 11 に示すように、CARRY が “1” のときの入力を有効として出力することにより、間引き縮小が実現できる。

【0004】 又、オア (OR) 縮小処理の場合は、図 12 に示すように、CARRY が “1” となった次の入力ドットから再び CARRY が “1” となったときまでの入力ドットを OR することにより、OR 縮小が実現できる。

【0005】 又、拡大処理の場合は、図 13 に示すように、CARRY が “1” となった次のサイクルから再び CARRY が “1” になるまでの間、入力ドットを複写することにより、任意倍率の拡大が実現できる。

【0006】 上記処理に於いて、DDA に設定する値は、例えば入力 64 ドットを 30 ドットに縮小する場合を例にとると、入力画像の主走査方向のドット数を  $M$ 、出力画像の主走査方向のドット数を  $N$  としたとき、 $M=64$ 、 $N=30$  とし、逆に入力 30 ドットを出力 64 ドットに拡大する場合も  $M=64$ 、 $N=30$  として、以下のように決定する。DDA の初期値  $= N * 10000H$  を  $M$  で割った剰り

DDA のスケール値  $= N * 10000H / M$  で求め、図 10 に示すような回路で処理する。この例では、

$N = 1EH (30)$

$M = 40H (64)$

であることから

DDA の初期値  $= \text{modulo} (1EH * 10000H / 40H) = 0000H$

DDA のスケール値  $= 1EH * 10000H / 40H = 7800H$

とし、図 10 に示す累積加算用レジスタ 01 に初期値、スケールレジスタ 02 にスケール値をそれぞれ設定する。

【0007】 そして上記レジスタ 01 に、入力 1 ドット毎にクロック (CLOCK) を入力すると、加算器 (A) 03 のアダー出力とキャリー (CARRY) 出力は以下のように変化する。

回数	アダー出力	CARRY 出力
1	7800H	0
2	F000H	0
3	6800H	1
4	E000H	0
5	5800H	1
6	D000H	0
7	4800H	1
8	C000H	0
9	3800H	1

以下これを繰り返す。

【0008】 上記したような DDA を用いた拡大縮小方式は、入出力イメージの大きさを表現するだけの精度 (ビット数) を DDA にもたせることにより、所望する任意の拡大・縮小処理を誤差無く行なうことができる。

【0009】

【発明が解決しようとする課題】しかしながら上記した従来の拡大・縮小処理手段に於いては、入力イメージ1ドット毎に(1ドット単位で)しか処理が行なえず、処理速度の面で問題があった。

【0010】本発明は上記実情に鑑みなされたもので、1系統のDDAを用いて、縮小時は入力nドットを1サイクルで、拡大時は出力nドットを1サイクルで得ることができ、これにより上記した従来の方式に比べn倍の速度で処理が可能な二値イメージ拡大縮小装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、拡大縮小の処理単位nを2のx乗としたとき、スケール値をxビット上位にシフトさせたDDA(図2参照)を用意することにより、その最上位x+1ビットに現れる数が、そのサイクルで、縮小であれば何ドット出力するか、拡大であれば何ドット入力として処理するかを示している点に着目したもので、このDDAの出力(CARNUM)を用いた、入力nドットから間引き縮小を行なう場合の写像を図3に示し、OR縮小を行なう場合の写像を図4に示し、出力nドットを得るための写像を図5に示す。このDDAの出力(CARNUM)を用いた写像処理により拡大・縮小をnドット一度に実行できる。

【0012】即ち、本発明は、二値イメージの拡大・縮小を主走査方向にnドット単位で一括処理する場合に於いて、入力画像の主走査方向のドット数がM(例えば64)、出力画像の主走査方向のドット数がN(例えば30)であるとし、拡大時にはスケール値をM/N、縮小時にはスケール値をN/Mと定義したとき、上記スケール値をn倍した値の整数部の値を上位スケール値として保持する第1の保持手段(図2に示すスケール上位レジスタ12A)と、スケール値をn倍した値の少数部の下位スケール値として保持する第2の保持手段(図2に示すスケール下位レジスタ12B)と、上記第2の保持手段に保持された下位スケールを累積加算する第1の加算手段(図2に示す第1の加算器13)、及びその結果を保持する第3の保持手段(図2に示すレジスタ11)と、上記第1の保持手段に保持された上位スケール値と上記第1の加算手段の桁あふれを加算する第2の加算手段(図2に示す第2の加算器14)と、上記第2の加算手段の結果を累積加算する第3の加算手段(図2に示す入出力タイミング回路15)と、上記第2の加算手段の結果に相当するドット数を入力nドットから選択する第1の写像手段(図3に示す写像処理回路20a)と、上記第2の加算手段の結果に相当する入力ドットから出力nドットに変換する第2の写像手段(図5に示す写像処理回路20b)と、イメージ縮小時には上記第1の写像手段の出力を選択し、拡大時には上記第2の写像手段の出力を選択する手段(処理モード指定信号MS)とを具備し、二値イメージの拡大時は出力nドットを、縮小時

には入力nドットを一度に処理することの特徴とする。尚、図3乃至図5に於いては、n=8とし、主走査が左から右に行なわれるものとし、画素8ドットのうち、ビット7を左に、ビット0を右に配置するものとして記述してある。

【0013】

【作用】図1及び図2に示すDDA10は、拡大・縮小処理の対象となる二値イメージデータを走査方向にn(=8)ドットずつまとめて処理を行なうため、拡大時は出力nドットを得るのに必要なドット数a、縮小時は入力nドットから得られる出力ドット数aを得る(=CARNUM)。図1、及び図3、図5に示す写像処理回路20(20a、20b)は、上記DDA10の出力(CARNUM)を用いて、拡大処理モード時はa:n、縮小処理モード時はn:aの写像(図3乃至図5参照)を行ない、拡大・縮小をnドット一度に処理する。これにより上述した従来技術の方式に比べてn倍(この例では8倍)の速度で二値イメージの拡大縮小処理が実行できる。

20 【0014】

【実施例】以下図面を参照して本発明の一実施例を説明する。図1は本発明の一実施例による装置の構成を示すブロック図である。

【0015】図1に於いて、10は拡大縮小倍率に従う設定値(スケール値)をもとに、拡大処理モード時は出力nドットを得るのに必要なドット数、縮小処理モード時は入力nドットから得られる出力ドット数を示す4ビットの信号(CARNUM)を生成するDDAであり、その具体的な回路構成は図2に示される。

30 【0016】20は上記DDA10の出力(CARNUM)と、外部より与えられる処理モード指定信号MSとに従い、処理対象となる入力イメージデータをnドット(8ドット)を処理単位として、写像処理する写像処理回路であり、その具体的な処理例は図3乃至図5に示される。

40 【0017】30は縮小処理に於いて、写像により縮小されたデータを8ビット単位に揃えるための8ビット詰込み回路であり、15ビットのレジスタを用いて構成されるもので、その上詰め処理例は図7に示される。図2は上記図1に示す実施例の一構成要素をなすDDA10の構成を示すブロック図である。

【0018】図2に於いて、11はスケール下位の累積加算値が保持されるレジスタであり、加算器(A)13のキャリー(CARRY)を除く出力をクロック(CLOCK)入力に伴ってロードする。動作開始時は「0」が設定されている。

50 【0019】12Aはスケール値の最上位3ビットの値が設定されるスケール上位レジスタであり、ここでは上記したように、7800Hの最上位3ビットの「3」が設定される。

【0020】12Bはスケール値の下位13ビットの値が設定されるスケール下位レジスタであり、ここでは上記したように、7800Hの下位13ビットの1800Hが設定される。

【0021】13はレジスタ11に保持された値と、スケール下位レジスタ12Bに保持された値とを加算する第1の加算器(A)であり、桁上りが生じたとき、キャリー(CARRY="1")が出力される。

【0022】14はスケール上位レジスタ12Aに保持された値と加算器(A)13のキャリー(CARRY)出力とを加算する第2の加算器(A)であり、スケール上位の値(0~7)に、加算器(A)13のキャリー(CARRY)出力(1又は0)を加算する。加算結果は桁上りを含み4ビットとなる。

【0023】15は加算器14の出力(4ビット)のうち、最上位ビットを除く3ビットを累積加算して、そのキャリー(CARRY)出力(="1")を入出力タイミング信号(TM)として出力する入出力タイミング回路であり、縮小処理モードの際は出力データが8ビット揃ったことを指示し、拡大処理モードの際は処理対象となる次の入力データの読み込みを指示する。

【0024】図3乃至図5はそれぞれ上記図1に示す写像処理回路20の具体的な処理機能例を示す図であり、図3は間引き縮小処理の際の写像例、図4はOR縮小処理の際の写像例、図5は拡大処理の際の写像例をそれぞれ示す。尚、ここでは、写像処理回路20が、ROMまたは組み合わせゲート回路(GA)で実現され、その回路機能のうち、縮小処理の機能部に符号20a、拡大処理の機能部に符号20bを付してそれぞれ図3(a)、図5(a)に示している。

【0025】図6乃至図9はそれぞれ上記実施例の動作説明図であり、図6及び図7は縮小処理の動作説明図、図8及び図9は拡大処理の動作説明図である。尚、図中のI00, I01, I02, I03, I04, ...は、連続するデータのビット(ドット)配列順を表わしている。又、図7に於いて、b0...b7...b14は8ビット詰込み回路30の構成要素をなす15ビット構成のバレルシフタのビット対応を示す。ここで図1乃至図9を参照して本発明の一実施例に於ける動作を説明する。先ず図1、図2、図3、図6、及び図7を参照して間引き縮小処理動作を説明する。

【0026】ここでは、64ドットの入力を48%縮小して30ドットにする場合を例にしているので、スケール値=7800H、初期値=0000Hであり、従ってスケール上位レジスタ12Aには7800Hの最上位3ビットの「3」が設定され、スケール下位レジスタ12Bには7800Hの下位13ビットの1800Hが設定される。又、レジスタ11には初期値として「0」が設定される。上記各初期設定の後、入力画素に対する縮小倍率に従う間引き処理のための間引きパターンの生成処

理が開始される。

【0027】この処理は、入力画素が8ドット単位で到来する毎に、レジスタ11の値(初期値=0)とスケール下位レジスタ12Bの値(1800H)が加算器13により加算されてレジスタ11にその累積加算値が貯えられる。この際、桁上りがあるとキャリー(CARRY)出力端に「1」が出力される。

【0028】即ち、最初の(1回目の)処理サイクルでは、図6に示すように、DDA10の出力(CARNUM)が「3」であることから、図3に示すように、処理対象となる入力データBXI(7~0)のうち、BXI3(図6, 図7=I03), BXI5(図6, 図7=I05), BXI7(図6, 図7=I07)の計3ビットが写像出力データBXR(7, 6, 5)として出力される。この写像出力は8ビット詰込み回路30により上詰めされる。

【0029】次の(2回目の)処理サイクルでは、図6に示すように、DDA10の出力(CARNUM)が「4」であることから、図3に示すように、処理対象となる入力データBXI(7~0)のうち、BXI1(図6, 図7=I09), BXI3(図6, 図7=I11), BXI5(図6, 図7=I13), BXI7(図6, 図7=I15)の計4ビットが写像出力データBXR(7, 6, 5, 4)として出力される。この写像出力は、図7に示すように、前回の出力(3ビット)に続いて8ビット詰込み回路30により上詰めされる。

【0030】次の(3回目の)処理サイクルも、DDA10の出力(CARNUM)が「4」であることから、図3に示すように、処理対象となる入力データBXI(7~0)のうち、BXI1(図6, 図7=I17), BXI3(図6, 図7=I19), BXI5(図6, 図7=I21), BXI7(図6, 図7=I23)の計4ビットが写像出力データBXR(7, 6, 5, 4)として出力される。

【0031】この写像出力は、図7に示すように、前回の出力(3ビット+4ビット)に続いて8ビット詰込み回路30により上詰めされるが、この際は、既に7ビットが上詰めされており、従って既に上詰めされた7ビットに上記BXI1(図6, 図7=I17)が上詰めされることで間引きにより縮小された8ビットのデータが揃う。

【0032】この3回目の処理サイクルでは、入出力タイミング回路15の加算器より発生したキャリー(CARRY)が入出力タイミング信号(TM)として外部に出力され、間引き処理されたデータが8ビット揃ったことが外部に指示される。

【0033】このような、1サイクルにつき入力8ドットを同時並行処理する間引き縮小処理が順次繰り返実行され、結果として、図11に示すように、64ドットの入力イメージデータが30ドットに間引き処理され、

48%の縮小処理が行なわれる。

【0034】又、OR縮小の場合は、図4に示すように、DDA10の出力(CARNUM)が「3」であるとき、処理対象となる入力データBXI(7~0)のうち、ビットBXI0, BXI1のオア(OR)演算結果が写像出力データBXR(7~0)のビットBXR5の出力となり、ビットBXI2, BXI3, BXI4のオア(OR)演算結果が写像出力データBXR(7~0)のビットBXR6の出力となり、ビットBXI5, BXI6, BXI7のオア(OR)演算結果が写像出力データBXR(7~0)のビットBXR7の出力となる。

【0035】このような入力データのオア(OR)演算結果が写像出力データとなることを除いて上記間引き処理による縮小処理と同様の処理が行なわれ、1サイクルで入力8ドットを同時並行処理できる。

【0036】次に図1、図2、図5、図8、及び図9を参照して本発明の実施例に於ける、1サイクルで8ドットの出力を得る二値イメージの拡大処理動作について説明する。

【0037】この拡大処理では、拡大処理対象となるデータが、15ビットのバレルシフタを介し、図9に示すように、DDA10の出力(CARNUM)に従うビット数を処理単位に写像処理回路20に与えられる。

【0038】ここでは、30ドットの入力を64ドットに拡大する場合を例にしているので、上記した縮小処理の場合と同様に、スケール値=7800H、初期値=0000Hであり、従ってスケール上位レジスタ12Aには7800Hの最上位3ビットの「3」が設定され、スケール下位レジスタ12Bには7800Hの下位13ビットの1800Hが設定される。又、レジスタ11には初期値として「0」が設定される。

【0039】この際の動作は、最初の(1回目の)処理サイクルで、図8に示すように、DDA10の出力(CARNUM)が「3」であることから、図5に示すように、BXI7(図8、図9=I00), BXI6(図8、図9=I01), BXI5(図8、図9=I02)の3ビットが拡大処理対象として写像処理回路20(図5の20b)に供給される。

【0040】この3ビットのデータのうち、BXI7(図8、図9=I00)が写像出力ビットBXR7, BXR6, BXR5に反映され、BXI6(図8、図9=I01)が写像出力ビットBXR4, BXR3, BXR2に反映され、BXI5(図8、図9=I02)が写像出力ビットBXR1, BXR0に反映(拡大)される。

【0041】即ち、8ビットの写像出力データBXR(7~0)のうち、ビットBXR7, BXR6, BXR5には入力ビットBXI7(図8、図9=I00)が反映され、ビットBXR4, BXR3, BXR2には入力ビットBXI6(図8、図9=I01)が反映され、ビットBXR1, BXR0には入力ビットBXI5(図8、図9=I02)が反映されて、3ビットの入力データが8ビットに拡大される。

【0042】次回(2回目の)処理サイクルでは、図8に示すように、DDA10の出力(CARNUM)が「4」であることから、図5に示すように、BXI7(図8、図9=I03), BXI6(図8、図9=I04), BXI5(図8、図9=I05), BXI4(図8、図9=I06)の4ビットが拡大処理対象として写像処理回路20(図5の20b)に供給される。

【0043】この際は、8ビットの写像出力データBXR(7~0)のうち、ビットBXR7, BXR6に入力ビットBXI7(図8、図9=I03)が反映され、ビットBXR5, BXR4, に入力ビットBXI6(図8、図9=I04)が反映され、ビットBXR3, BXR2に入力ビットBXI5(図8、図9=I05)が反映され、ビットBXR1, BXR0に入力ビットBXI4(図8、図9=I06)が反映されて、4ビットの入力データが8ビットに拡大される。

【0044】このような、DDA10の出力(CARNUM)に従う入力ビット単位で1サイクルにつき出力8ドットを得る拡大処理が順次繰り返し実行され、結果として、図13に示すように、30ドットの入力イメージデータが64ドットに拡大処理される。

【0045】上記した実施例に於いては、二値イメージの拡大時に1サイクルで出力8ドットを得ることができ、又、縮小時に1サイクルで入力8ドットを処理することができる。即ちこの実施例によれば従来技術の例で述べた方式に比し8倍の速度で拡大縮小処理が実行できる。

【0046】尚、上記した本発明の実施例では、64/30ドットの拡大縮小処理を8ビットを単位に実行する構成を例にとったが、これに限らず、拡大縮小ドット、処理単位等であっても適用でき、入出力イメージの大きさを表現するだけの精度(ビット数)をDDAにもたせることにより、所望する任意の拡大・縮小処理を誤差無く行なうことができる。

【0047】

【発明の効果】以上詳記したように本発明によれば、1系統のDDAを用いて、縮小時は入力nドットを1サイクルで、拡大時は出力nドットを1サイクルで得ることができ、これにより上記した従来の方式に比べn倍の速度で処理が可能な二値イメージ拡大縮小装置が提供できる。

【図面の簡単な説明】

【図1】本発明の一実施例による装置の構成を示すブロック図。

【図2】図1に於けるDDAの構成を示すブロック図。

【図3】図1に示す写像処理回路に於ける間引き縮小処理の写像例を示す図。

【図4】図1に示す写像処理回路に於けるオア(OR)

縮小処理の写像例を示す図。

【図5】図1に示す写像処理回路に於ける拡大処理の写像例を示す図。

【図6】図1の実施例に於ける縮小処理の動作説明図。

【図 7】図 1 の実施例に於ける縮小処理の動作説明図。

【図 8】 図 1 の実施例に於ける拡大処理の動作説明図。

【図 9】 図 1 の実施例に於ける拡大処理の動作説明図。

【図 10】従来のDDAの構成を示すブロック図。

【図 1 1】DDAを用いた間引き縮小処理の動作説明図。

【図 12】DDAを用いたオア（OR）縮小処理の動作

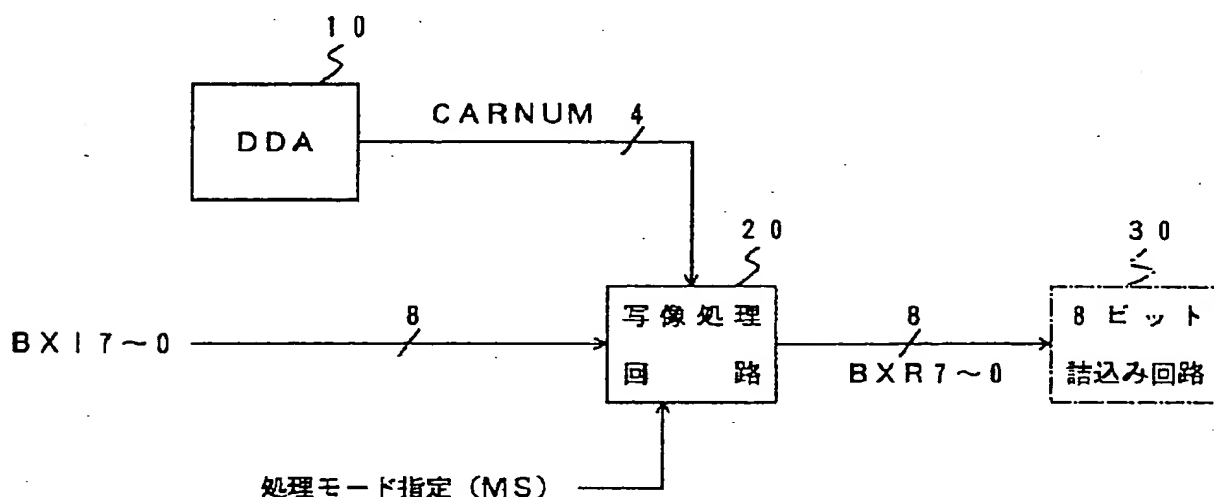
説明図。

【図13】DDAを用いた拡大処理の動作説明図。

【符号の説明】

10…DDA (Digital Differential Analyzer)、11…スケール下位の累積加算値を保持するレジスタ、12A…スケール上位レジスタ、12B…スケール下位レジスタ、13…第1の加算器(A)、14…第2の加算器(A)、15…入出力タイミング回路、20(20a, 20b)…写像処理回路、30…8ビット詰込み回路。

【图 1】



【图4】

BXI	7	6	5	4	3	2	1	0 (写像の入力)
CARNUM= 0	7	7	7	7	7	7	7	7
1	7	7	7	7	7	7	7	7 (写像の出力)
2	7	7	7	7	6	6	6	6
3	7	7	7	6	6	6	5	5
4	7	7	6	6	5	5	4	4
5	7	7	6	6	5	4	4	3
6	7	7	6	5	4	4	3	2
7	7	7	6	5	4	3	2	1
8	7	6	5	4	3	2	1	0

← B X R

### OR縮小時の写像例

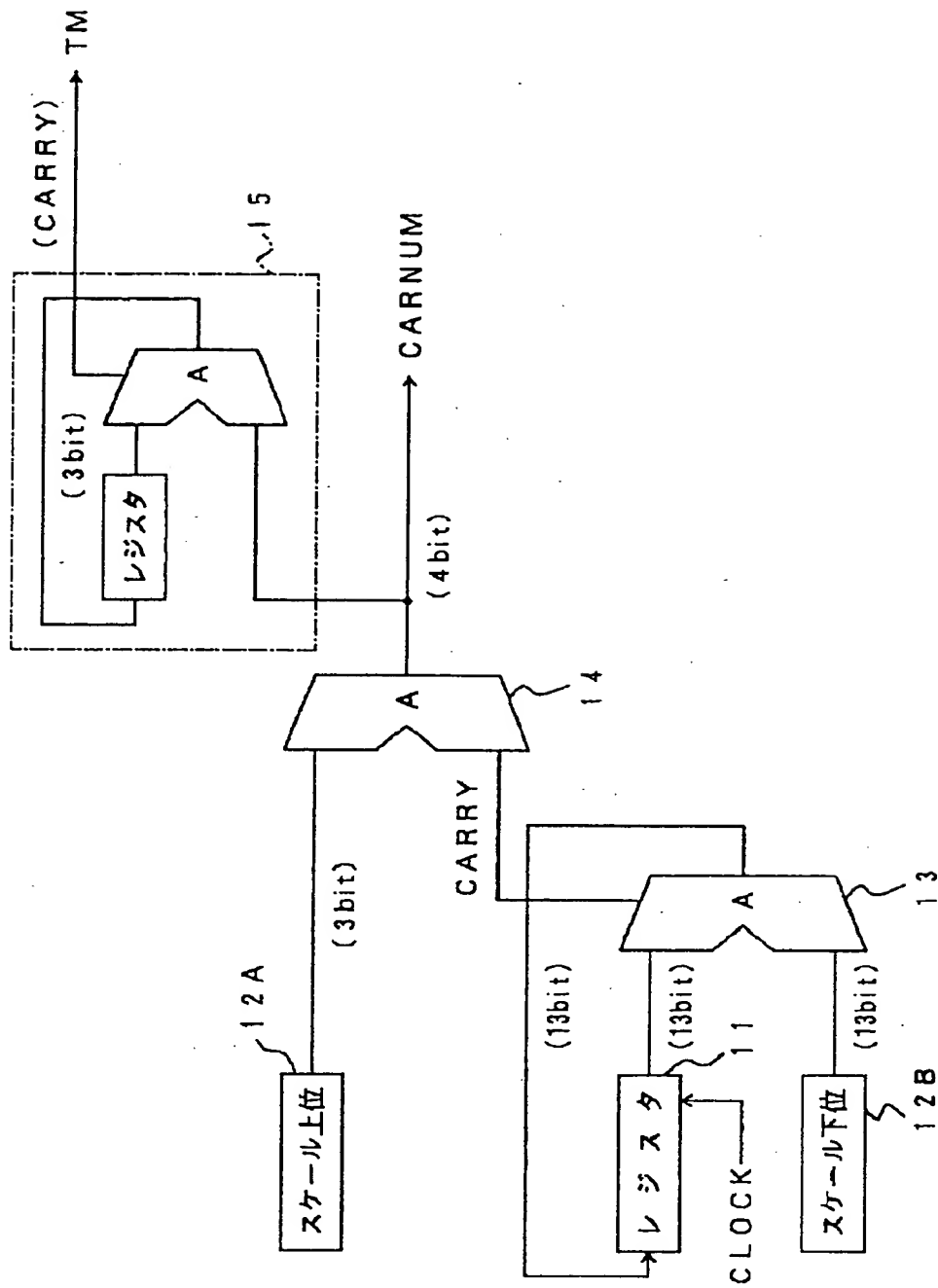
【图 12】

入力画素  
CARRY  
出力画素

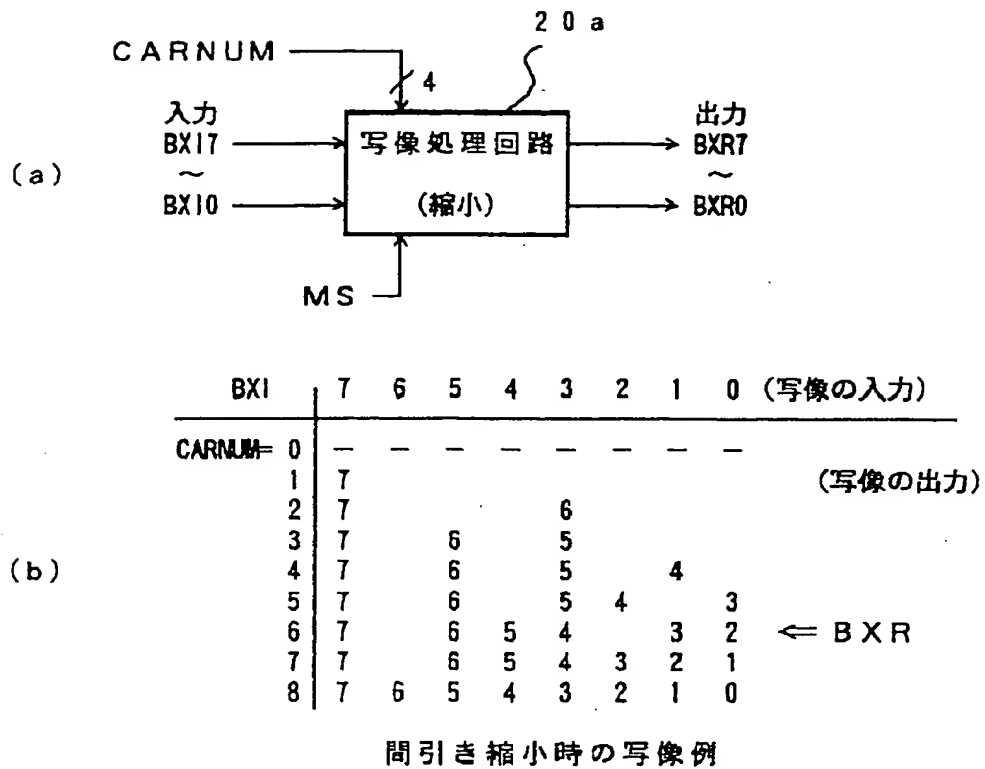
0010  
 \* \* \* - \* \* \* - \* \* \* - \* \* \* - \* \* \* - \* \* \* - \* \* \* - \* \* \* - \* \* \*



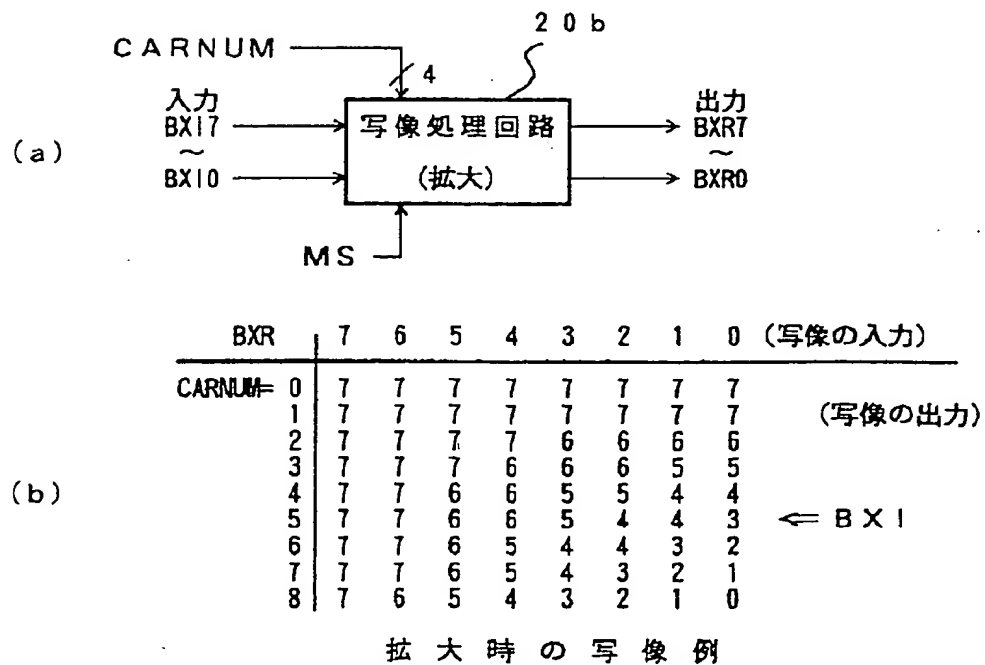
【図2】



【図3】



【図5】



【図6】

BX17~0	加算器(1)	CARRY	CARNUM	写像出力
100~107	1800H	0	3	103 105 107
108~115	1000H	1	4	109 111 113 115
116~123	1000H	1	4	117 119 121 123
124~131	1000H	1	4	125 127 129 131
132~139	1800H	0	3	135 137 139
140~147	1000H	1	4	141 143 145 147
148~155	1000H	1	4	149 151 153 155
156~163	1000H	1	4	157 159 161 163

BXR → 7 6 5 4...

【図7】

バイト	b14	b7	出力1	30	b0
1	103 105 107				
2	103 105 107 109 111 113 115				
3	103 105 107 109 111 113 115 117 119 121 123				
4	119 121 123 125 127 129 131				
5	119 121 123 125 127 129 131 133 135 137 139				
6	137 139 141 143 145 147				
7	137 139 141 143 145 147 149 151 153 155				
8	153 155 157 159 161 163				

出力3      出力2

【図10】

